

## ⑫ 公開特許公報(A) 平3-235288

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月21日

G 11 C 11/407

8323-5B

G 11 C 11/34

3 5 4 F

審査請求 未請求 請求項の数 12 (全14頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-28559

⑰ 出 願 平2(1990)2月9日

⑱ 発 明 者 磯 田 正 典 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
ス・アイ・エンジニアリング株式会社内⑲ 発 明 者 衛 藤 潤 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製  
作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立超エル・エス・ア  
イ・エンジニアリング  
株式会社  
東京都小平市上水本町5丁目20番1号㉒ 代 理 人 弁理士 小川 勝男 外1名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. メモリ回路、ロジック回路の少なくとも一つを含む機能回路、該機能回路の動作速度を測定する手段、該機能回路の電源電圧を制御する手段を有し、該機能回路の動作速度の測定結果により該機能回路の電源電圧を設定することを特徴とする半導体装置。

2. 上記機能回路の動作速度を測定する手段は、該機能回路の信号入力用の端子及び信号出力用の端子であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 上記機能回路の動作速度を測定する手段は、インバータを多段に縦続接続したインバータ列と、該インバータ列の信号入力用の端子及び信号出力用の端子であることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 上記機能回路の動作速度を測定する手段は、

複数のインバータを用いたリング・オシレータとその出力用の端子であることを特徴とする特許請求の範囲第1項記載の半導体装置。

5. 該電源電圧を制御する手段は該機能回路の電源電圧を設定するための複数の基準電圧の発生手段と複数のヒューズを有し、該ヒューズを選択的に切断することにより該電源電圧を制御することを特徴とする特許請求の範囲第1項記載の半導体装置。

6. 該電源電圧を制御する手段は該機能回路の電源電圧を設定するための複数の基準電圧の発生手段と複数のボンディングパッドを有し、チップ組み立て時該ボンディングパッドを選択的にボンディングすることにより該電源電圧を制御することを特徴とする特許請求の範囲第1項記載の半導体装置。

7. 該電源電圧を制御する手段は、該機能回路の電源電圧を作るための基準電圧発生回路、その出力を受けて該電源電圧を作るバッファ回路、該バッファ回路の複数の帰還抵抗及び複数のヒ

ューズを有し、該ヒューズを選択的に切斷することにより、該帰還抵抗を切り換え該電源電圧を制御することを特徴とする特許請求の範囲第1項記載の半導体装置。

8. 該電源電圧を制御する手段は、該機能回路の電源電圧を設定するための基準電圧発生回路、その基準電圧を分圧する複数の抵抗及び複数のヒューズを有し、該ヒューズを選択的に切斷することにより、該抵抗を切り換え該基準電圧を制御することを特徴とする特許請求の範囲第1項記載の半導体装置。

9. 該ヒューズに切斷用のMOSFET及び該MOSFETの端子電圧を制御するパッドを設けたことを特徴とする特許請求の範囲第5項、第7項、第8項記載の半導体装置。

10. メモリ回路、ロジック回路の少なくとも一つを含む機能回路、該機能回路の電源電圧を測定する手段、該機能回路の電源電圧を制御する手段を有し、該機能回路の電源電圧の測定結果により該機能回路の電源電圧を設定することを

特徴とする半導体装置。

11. 上記機能回路の電源電圧を測定する手段は該電源電圧を作るバッファ回路の出力用の端子であることを特徴とする特許請求の範囲第10項記載の半導体装置。

12. 上記機能回路の電源電圧を測定する手段は電源電圧を設定するための複数の基準電圧の発生手段の出力端子であることを特徴とする特許請求の範囲第10項記載の半導体装置。

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

本発明は半導体装置の性能改善に係り、特にチップ間で動作速度をそろえることができる半導体装置に関する。

#### 【従来の技術】

特開昭57-172761号、特願昭56-168688号などにメモリチップ内に設けた電圧変換手段により、外部電源電圧を低くして、チップ内の微細素子を動作させる技術が開示されている。

#### 【発明が解決しようとする課題】

を測定し、その結果により動作速度が目標とする値となるようにチップ内の電源電圧を変えるのでチップ間の動作速度のバラツキを低減できる。

#### 【実施例】

本発明の回路の動作速度を測定し、電源電圧を制御する実施例を第1図～第1.2図を用いて説明し、回路で使う電源電圧を測定し、電源電圧を制御する実施例を第1.3図～第2.2図を用いて説明する。

本発明の一実施例を第1図を用いて説明する。同図で10は半導体チップ、40はメモリあるいはロジック回路、20はメモリあるいはロジック回路の動作速度を測定する手段、30はメモリあるいはロジック回路で使う電源電圧(チップ内の電源電圧)を制御する手段である。一般に半導体装置の動作速度は電源電圧の変化に応じて変わる。例えば、DRAMでは電源電圧が高くなると動作速度が速くなることが知られている。本実施例は、この特性を利用して回路の動作速度を制御する。すなわち、チップ完成後に動作速度測定手段によ

しかし、上記従来技術では製造条件によるチップ間の動作速度のバラツキについて充分考慮がなされていない。メモリの動作速度の高速化は著しく、これらを使うシステムも年々高速化されている。しかし、多数のメモリを使うシステムにおいては、メモリチップ間で動作速度にバラツキがあるとシステムを設計するとき、予めマージンをとって設計する必要がある。従って、システムの高速化が難しくなる。

本発明はチップ間で動作速度をそろえることができる半導体装置を提供することにある。

#### 【課題を解決するための手段】

上記目的は、チップ内に回路の動作速度または電源電圧を測定するための手段と、チップ内の電源電圧を制御する手段を設け、回路の動作速度または電源電圧を測定しその結果によりチップ内の電源電圧を制御することにより達成される。

#### 【作用】

上記動作速度または電源電圧を測定するための手段を用いてチップ内の動作速度または電源電圧

り各チップ毎に動作速度を測定する。次に、その結果によりチップ内の電源電圧を、動作速度が目標の値となるように制御する。これにより、チップ間で動作速度のバラツキを低減することができる。従って、システム設計が容易となり、システムの高速化も可能となる。

第2図は本発明の他の実施例である。本実施例では回路の動作速度はメモリ回路の動作を直接測定することによりモニタする。第2図で10は半導体チップ、40はメモリ回路、30はメモリ回路で使う電源電圧を制御する手段である。また、50、60はボンディングパッドで、50はメモリのアドレス信号の入力用、60はメモリのデータの出力用である。本実施例では、アドレス信号を入力してからデータが出力されるまでのメモリの動作速度を測定する。その結果により電源電圧制御手段を用いてチップ内の電源電圧を制御しメモリの動作速度を目標とする値にそろえる。以上によりメモリチップ間で動作速度のバラツキを低減することができる。従って、システム設計が容易

第4図は本発明の他の実施例である。本実施例では、回路の動作速度は、チップ内に設けたリングオシレータの発振周波数を測定することによりモニタする。第4図で10は半導体チップ、40はメモリもしくはロジック回路、30はメモリもしくはロジック回路で使う電源電圧を制御する手段である。また、110はリングオシレータで、80はその発振周波数を測定するためのパッドである。同じチップ上に設けた回路40とリングオシレータ110は動作速度が同様にばらつく。したがって、リングオシレータ110の発振周波数を測定することにより回路40の動作速度を推定できる。従って、本実施例ではリングオシレータの発振周波数を測定し、その結果により電源電圧制御手段30でチップ内の電源電圧を制御し回路の動作速度を目標とする値にそろえる。これにより、チップ間の動作速度のバラツキを低減でき、システムを高速化できる。また、本実施例ではリングオシレータの発振周波数により回路の動作速度をモニタするので測定が容易である。

となり、システムの高速化も可能となる。

第3図は本発明の他の実施例である。本実施例では回路の動作速度はチップ内に設けた縦続接続のインバータの遅延時間を測定することによりモニタする。第3図で10は半導体チップ、40はメモリもしくはロジック回路、30はメモリもしくはロジック回路で使う電源電圧を制御する手段である。また、90は縦続接続したインバータ列で、70、80は動作速度測定用パッドである。同じチップ上に設けた回路40とインバータ列90は動作速度が同様にばらつく。従って、インバータ列90の遅延時間を測定することにより回路40の動作速度を推定できる。従って、本実施例ではインバータ列の遅延時間を測定し、その結果により電源電圧制御手段でチップ内の電源電圧を制御し回路の動作速度を目標とする値にそろえる。従って、チップ間で動作速度のバラツキを低減することができ、システムを高速化することができる。また、本実施例ではインバータ列を使って動作速度をモニタするので測定が容易である。

本発明の一実施例を第5図に示す。

本実施例ではメモリ回路で使う電源電圧の制御方法について示している。

同図(a)で10は半導体チップである。1はメモリセル・アレイ、2はメモリセル・アレイの動作を制御する周辺回路である。100はメモリ回路で使う電源電圧 $V_L$ を決めるための基準電圧を作る回路である。ここではヒューズ $F0 \sim F3$ を用いて基準電圧を発生する $V_{REF}$ 発生回路6~9を切り換える。この $V_{REF}$ 発生回路6~9ではそれぞれ異なる基準電圧を作っている。この回路としては第5図(b)に示すものがある。この回路は、トランジスタ $M1$ と $M2$ のしきい値電圧の差で基準電圧を作る。第5図(a)で4はチップ外部から入力された電源電圧 $V_{CC}$ と上記基準電圧を用いてチップ内の電源電圧 $V_L$ を作る $V_L$ 発生回路である。これを第5図(c)に示す。この回路は基準電圧 $V_R$ と抵抗 $R2$ 、 $R3$ により $V_L$ を作る。なお、 $A1$ は差動増幅器である。

第5図(a)で $P0 \sim P3$ はPチャネルMOS

FET, N0~N3はNチャネルMOSFETでありスイッチを構成している。R0~R3は抵抗である。3, 5はボンディングパッドであり、3はチップ外部からの電源電圧Vcc入力用、5はメモリ信号出力用(Doutパッド)である。

本実施例でのチップ内の電源電圧VLの制御は次のように行なう。ここで、VREF発生回路の出力電圧(基準電圧)の大きさは

$$V_{R1} < V_{R0} < V_{R2} < V_{R3}$$

となっているとする。

全ヒューズを切断しない状態では、ND0が高レベル(Vcc)、ND1~ND3が低レベル(0V)となっている。従って、スイッチ用のMOSFETのP0, N0がオン、P1~P3, N1~N3がオフとなる。従って、VL発生回路に入力される基準電圧はVR0となる。この時、VL発生回路によりVR0に対応した電圧VLが出力され、これがチップ内で使う電源電圧となる。この状態でDoutパッドを使いメモリのアクセス時間を測定する。この時アクセス時間が目標とするアクセ

ス時間より大きかった場合は、例えばヒューズF0とF2を切断する。これにより、ND0は低レベル、ND2は高レベルになりP0, N0はオフ、P2, N2はオンとなる。従って、VL発生回路にVR2が入力され、VLはVR0が入力されていた時よりも上昇する。通常、DRAMでは電源電圧が高くなるとアクセス時間は速くなる。従ってこの場合、アクセス時間はVR0が入力されていたときより速くなる。これによりアクセス時間を、目標とするアクセス時間に近づけることができる。基準電圧がVR0の時のアクセス時間が、目標より小さい場合はヒューズF0とF1を切断し、VL発生回路にはVR1を入力する。これによりVLを低くし、アクセス時間を遅くする。

基準電圧発生回路を多数設け、この電圧とアクセス時間の関係を予め明らかにしておけば、アクセス時間をより正確に目標値に近づけることができる。

以上述べたように本実施例によれば、アクセス時間をチップ完成後に目標に合わせて調整できる

のでアクセス時間のチップ間のバラツキを低減することができる。従って高速のシステムの設計が容易となる。

次に第5図(b)に示すVREF発生回路を説明する。この回路はNチャネルMOSFET・M1, M2とPチャネルMOSFET・M4, M5及び抵抗R1からなる。M2は標準のしきい値電圧VTEを持つエンハンスメント形MOSFETであり、M1はVTEより高いしきい値電圧VTEEを持つエンハンスメント形MOSFETである。

以下、この回路の動作を説明する。

M4とM5とは、ゲート及びソースを共有したカレントミラー回路10を構成している。電流比(ミラー比)は、M4とM5との定数比によって決まる。M1とM2の定数が等しく、いずれも飽和領域で動作しているとすると、次の3つの式が成り立つ。

$$I_1 = \beta_{EE} (V_1 - V_{TEE})^2 / 2$$

$$I_2 = \beta_E (V_1 - V_R - V_{TE})^2 / 2$$

$$I_2 = V_R / R_1$$

ここで $\beta_{EE}$ はM1のチャネルコンダクタンス、 $\beta_E$ はM2のチャネルコンダクタンス、 $V_1$ はノード1の電圧である。これらの式より、

$$\text{ミラー比 } \alpha = 1 \quad (I_1 : I_2 = \alpha : 1)$$

$$\beta_{EE} \approx \beta_E$$

として計算すると、

$$V_R = V_{TEE} - V_{TE}$$

となり、M1とM2とのしきい値電圧の差を基準電圧VRとすることができる。

第5図(c)に示すVL発生回路を説明する。

この回路は差動増幅器A1、PチャネルMOSFET・M6、抵抗R2、R3より成る。以下、この回路の動作を説明する。

ここで差動増幅器A1の増幅度をG1としM6の増幅度をG2とすると、差動増幅器A1とM6の全体の増幅度Gは

$$G = G1 \cdot G2$$

となる。この時出力電圧VLは、

$$\{G \cdot R3 / (R2 + R3) - 1\} V_L = G \cdot V_R$$

$$V_L = G \cdot V_R / \{G \cdot R3 / (R2 + R3) - 1\}$$

$$= V_R / \{ R_3 / (R_2 + R_3) - (1/G) \}$$

$$= (R_2 + R_3) \cdot V_R / R_3$$

となる。ただし、 $G \gg 1$ とする。

以上のように、内部電源電圧 $V_L$ は基準電圧 $V_R$ を抵抗 $R_2$ 及び $R_3$ で分割した値に設定できる。

本発明の他の実施例を第6図に示す。本実施例は基準電圧発生回路の切り換えを、チップをパッケージに実装するときのボンディングによって行なうものである。従って、基準電圧発生回路を切り換える部分以外は第5図に示す実施例と同一である。第6図において、20、21、22、23は基準電圧発生回路切り換え用のボンディングパッドである。この回路での電源の切り換えは次のようにして行なう。

ここで、第5図と同様に $V_{REF}$ 発生回路の出力電圧（基準電圧）の大きさは

$$V_{R1} < V_{R0} < V_{R2} < V_{R3}$$

となっているとする。全パッドをボンディングしない状態では、ND0が高レベル( $V_{CC}$ )、ND1～ND3が低レベル(0V)となっている。従

なり、アクセス時間を目標とする値に近づけることができる。

以上述べたように本実施例によれば、チップ実装時に基準電圧切り換え用ボンディングパッドを選択的にボンディングしてチップ内の電源電圧を制御し、アクセス時間をそろえるのでアクセス時間のチップ間のバラツキを低減することができる。従って、システムの高速化が図れる。

第7図は本発明の他の実施例である。本実施例はチップ内の電源電圧をメモリセル・アレイ用 $V_L$ と周辺回路用 $V_{L1}$ に2種設けた点が第5図と異なる。それ以外の回路構成は第5図に示す実施例と同一である。第7図で、 $V_L$ はメモリセル・アレイに供給する電源電圧、 $V_{L1}$ は周辺回路に供給する電源電圧である。 $V_L$ は $V_L$ 発生回路、 $V_{L1}$ は $V_{L1}$ 発生回路によりそれぞれ作る。 $V_L$ 発生回路用の基準電圧は $V_{REF0}$ 発生回路～ $V_{REF0}$ 発生回路で作り、 $V_{L1}$ 発生回路用の基準電圧は $V_{REF1}$ 発生回路～ $V_{REF1}$ 発生回路で作る。本実施例での基準電圧の切り換えは次のように行なう。ヒュ

って、 $V_L$ 発生回路に入力される基準電圧は $V_{R0}$ となる。この時、 $V_L$ 発生回路により $V_{R0}$ に対応した電圧 $V_L$ が出力され、これがチップ内で使う電源電圧となる。この状態でDOUTパッドを使いメモリのアクセス時間を測定する。このアクセス時間が目標とするアクセス時間より大きかった場合は、チップをパッケージに実装するときに、例えばパッド20を接地端子にボンディングし、パッド22を電源端子にボンディングする。これにより、 $V_L$ 発生回路に $V_{R2}$ が入力され、 $V_L$ は $V_{R0}$ が入力されていた時よりも上昇する。通常、DRAMでは電源電圧が高くなるとアクセス時間は速くなる。従って、この場合は $V_{R0}$ が入力されていたときより速くなり、アクセス時間を目標とする値に近づけることができる。

また、基準電圧が $V_{R0}$ の時のアクセス時間が、目標より小さい場合はパッド20を接地端子にボンディングし、パッド21を電源端子に接続する。これにより、 $V_L$ 発生回路には $V_{R1}$ が入力され、 $V_L$ は低くなる。したがってアクセス時間は遅く

ーズを切断せず $V_{REF0}$ 発生回路、 $V_{REF1}$ 発生回路の基準電圧を用いて作った電源電圧をメモリセル・アレイ及び周辺回路に供給する。次に、この電圧でのメモリの動作速度を測定する。この結果を用いて、第5図に示す実施例のようにメモリセル・アレイ用、周辺回路用の $V_{REF}$ 発生回路を切り換える。

通常、DRAMではメモリセル・アレイの占有面積が大きいので、チップ寸法を小さくするためメモリセル・アレイでは周辺回路よりも微細な素子を用いる。そのためメモリセル・アレイに用いる素子の各種耐圧は低くなっている。そこで本実施例ではメモリセル・アレイと周辺回路で電源電圧を分けて使う。予め各種基準電圧とメモリセル・アレイの動作速度、各種基準電圧と周辺回路の動作速度の関係を明らかにしておけば、目標速度にあった基準電圧を選ぶことができる。従って、本実施例でもアクセス時間を目標とする値にそろえることができるので、チップ間のアクセス時間のバラツキを低減できる。本実施例によれば、メ

メモリセル・アレイと周辺回路で電源電圧を独立に供給できるのでメモリセル・アレイに用いる電源電圧は周辺回路よりも低くでき、素子の破壊を防ぐことができる。また、周辺回路とメモリセル・アレイの動作速度の整合をとることができる。

第8図及び第9図は本発明の他の実施例である。これらの実施例はアクセス時間の測定結果により $V_L$ 発生回路内の帰還回路の定数を変える。これによりチップ内の電源電圧を制御してアクセス時間を目標とする値にするものである。

第8図に示す実施例では、基準電圧 $V_{R0}$ 及び $V_{R1}$ は一定値とする。 $V_L$ 発生回路は帰還回路の抵抗をヒューズにより切り換えチップ内の電源電圧値を制御する。これ以外は第7図に示す実施例と同一である。第8図において $V_{L0}$ 、 $V_{L1}$ は次式で表される。

$$V_{L0} \doteq (R2 + R11) \cdot V_{R0} / R11$$

$$V_{L1} \doteq (R4 + R12) \cdot V_{R1} / R12$$

ここで、 $R11$ はノードND0と接地間の合成抵抗、 $R12$ はノードND1と接地間の合成抵抗で

きる。従って、アクセス時間を制御することができチップ間のアクセス時間のバラツキを低減できる。

なお、第8図及び第9図で示すヒューズで切り換える抵抗の数を多くすることにより細かくアクセス時間を制御することができる。

第10図は本発明の他の実施例である。第10図は基準電圧を切り換えるためのヒューズを切断する回路の実施例である。第10図で、点線で囲んだ回路15以外は第5図に示す実施例と同じである。

回路15において、PD1～PD6はパッドで、PD1は電源用、PD2は接地用、PD3～PD6はヒューズF0～F3を切断するためのものである。全ヒューズF0～F3が接続された状態では、ノードND00～ND30は抵抗R00及びNチャネルMOSFET・N00によりほぼ電源電圧に保たれている。従って、ラッチ回路L0～L3の出力ノードND02～ND32も電源電圧となっている。これによりノードND03が電源電圧、

ある。 $R11$ 及び $R12$ は切断するヒューズを変えることにより抵抗値が変わる。これにより差動増幅器への帰還電圧を変えることができ、チップ内の電源電圧 $V_{L0}$ 、 $V_{L1}$ を制御することができる。従って、アクセス時間を制御することができ、チップ間のアクセス時間のバラツキを低減できる。また本実施例では、基準電圧発生回路はメモリセル・アレイ用と周辺回路用の2個でよく、チップ寸法を小さくできる。

第9図も、基準電圧 $V_{R0}$ 及び $V_{R1}$ は一定値とする。 $V_L$ 発生回路は帰還回路の抵抗をヒューズにより切り換えてチップ内の電源電圧を制御する。第9図において $V_{L0}$ 、 $V_{L1}$ は次式で表される。

$$V_{L0} \doteq (R2 + R13) \cdot V_{R0} / R13$$

$$V_{L1} \doteq (R4 + R14) \cdot V_{R1} / R14$$

ここで、 $R13$ はノードND0と接地間の合成抵抗、 $R14$ はノードND1と接地間の合成抵抗である。 $R13$ 及び $R14$ は切断するヒューズを変えることにより抵抗値が変わる。これにより、チップ内の電源電圧 $V_{L0}$ 、 $V_{L1}$ を制御することがで

ND13～ND33は接地電位となる。これによりMOSFET・N0がオン、N1～N3がオフとなり、 $V_L$ 発生回路には基準電圧 $V_{R0}$ が入力される。

基準電圧発生回路を切り換えるためのヒューズの切断は次のように行う。

プローブを用いてパッドPD1に電源電圧を供給し、パッドPD2を接地する。ヒューズF0を切断する場合はパッドPD3を高レベルにする。これによりヒューズF0、NチャネルMOSFET・NC0を通して過大な電流が流れ、ヒューズF0が切断される。この時の電流はNチャネルMOSFET・NC0のチャネル幅、チャネル長により調整する。なお、他のヒューズを切断する場合は、それぞれのヒューズに対応したMOSFETをオンとする。

本実施例では、プローブから電圧を印加することによりヒューズを切断するので、レーザ光を使うような特別なヒューズ切断装置がいらない。また、ウエハ状態でアクセス時間の測定と基準電圧

発生回路の切り換えが同時に行えるので、比較的短い時間でアクセス時間の制御ができる。

第11図及び第12図は本発明の他の実施例である。第11図及び第12図は $V_L$ 発生回路及び $V_{REF}$ 発生回路の帰還回路の定数切り換え用ヒューズに切断用回路を設けた実施例である。第11図は $V_L$ 発生回路の帰還回路の抵抗を切り換え、チップ内の電源電圧を制御するものである。回路16はチップ内の電源電圧を作る $V_L$ 発生回路である。この回路ではNチャネルMOSFET・N0～N3をオン・オフすることにより帰還回路の抵抗を切り換える。上記MOSFETのオン・オフは回路15のヒューズF0～F3のいずれかを切断することにより制御する。回路15は第10図に示すものと同じである。本実施例によると回路15のヒューズF0～F3を選択的に切断することにより $V_L$ 発生回路の帰還抵抗を変えることができ、チップ内の電源電圧が制御できる。従って、アクセス時間のチップ間のバラツキを低減できる。また、 $V_{REF}$ 発生回路は1個あればよく、

同図(a)で10は半導体チップ、40はメモリあるいはロジック回路、120はチップ内電源電圧を測定する手段、30はチップ内電源電圧を制御する手段である。

本実施例では予めチップ内電源電圧と回路の動作速度の関係を調べておく。この時、チップの加工状態(例えばMOSFETのチャンネル長 $L_g$ の大小)をパラメータとして調べておく。つぎに、チップ完成後にチップ内電源電圧測定手段によりチップ毎にチップ内電源電圧を測定する。この測定結果をもとに回路の動作速度を推定し、目標の動作速度となるようにチップ内電源電圧を設定する。具体的には、例えば $L_g$ をパラメータとしてチップ内電源電圧と動作速度の関係を調べ、第13図(b)に示すような図を作る。目標とする動作速度を同図に示す範囲にする場合、例えばMOSFETの $L_g$ が大きくなっている場合は特性曲線71を用いてチップ内電源電圧を61の範囲に、また $L_g$ が小さくなっている場合は特性曲線72を用いて62の範囲に設定する。但し、特性曲線

チップ寸法を小さくできる。

第12図は $V_{REF}$ 発生回路の帰還回路の抵抗を切り換えてチップ内の電源電圧を制御するものである。回路17は基準電圧発生回路である。この回路ではNチャネルMOSFET・N0～N3をオン・オフすることにより抵抗R10～R13を切り換える。このMOSFETのオン・オフは回路15のヒューズF0～F3を切断することにより制御する。回路15は第10図に示すものと同じである。本実施例によると回路15のヒューズF0～F3を切断することにより基準電圧発生回路の抵抗を変え、これにより基準電圧を制御する。したがって、 $V_L$ 発生回路の出力電圧が制御でき、アクセス時間のチップ間のバラツキを低減できる。また、 $V_{REF}$ 発生回路は1個でよく、チップ寸法を小さくできる。

第13図は本発明の他の実施例である。本実施例ではチップ内の回路で使う電源電圧(ここではチップ内電源電圧という)を測定し、その結果によりチップ内電源電圧を制御する。

は必要とする精度に応じて種々の $L_g$ や他のプロセス依存パラメータ(例えばトランジスタのしきい値電圧 $V_t$ )の値、あるいは温度特性に対応するものを予め用意する。自動テストを行なう場合は、上記の動作速度とチップ内電源電圧の関係をテーブルとしてテスト内に用意する。具体的なテーブルとして例えば第13図(c)に示すように、 $L_g$ と目標とする動作速度となるためのチップ内電源電圧の最大値 $V_{LU}$ 、最小値 $V_{LL}$ の関係を示すテーブルを用いる。以上のように、本実施例ではチップ間で動作速度のバラツキを低減することができる。従って、システム設計が容易となり、システムの高速化も可能となる。

第14図は本発明の他の実施例である。同図で11はチップ内電源電圧 $V_L$ 測定用パッド、60～63は基準電圧 $V_R$ 測定用パッドである。なお、上記測定用パッド以外は第5図(a)に示す実施例と同じである。本実施例でも、まずチップ内電源電圧あるいは基準電圧を測定する。これをもとにメモリの動作速度を推定しチップ内電源電圧を

設定する。このチップ内電源電圧の設定は、ヒューズF0～F3のうちのいずれかを切断することにより異なる基準電圧を作る。数種の基準電圧発生回路のうち、一回路を選択する。これによりV<sub>L</sub>発生回路の電圧を設定する。したがって、あらかじめ決めた目標とするチップ内電源電圧より高い電圧を作る基準電圧発生回路と低い電圧を作る基準電圧発生回路を多数設けておけばアクセス時間をチップ完成後に目標にあわせて調整できる。従ってアクセス時間のチップ間のバラツキを低減することができる。

第15図は本発明の他の実施例である。同図で11はV<sub>L</sub>測定用パッド、60～63はV<sub>R</sub>測定用パッドであり、それ以外は第6図に示す実施例と同一である。本実施例はチップ内電源電圧を測定した後の基準電圧発生回路の選択にボンディングパッドを用いる。20～23のボンディングパッドのうちいずれかを高電位あるいは低電位とすることにより基準電圧発生回路を選択する。これによりV<sub>L</sub>を制御する。従って本実施例によっても、

抵抗R0～R3は直列に電源に接続し、抵抗R10～R13は接地する。それ以外は第15図と同じである。本実施例では、まずパッド110～113を用いて各基準電圧発生回路の出力電圧またはその出力電圧によるチップ内電源電圧を測定する。つぎに、例えば基準電圧V<sub>R0</sub>を用いてV<sub>L</sub>を設定する場合、ヒューズF0を切断する。または、パッケージ実装時にパッド110を接地端子にボンディングする。V<sub>R1</sub>～V<sub>R3</sub>の切り換えも同様にする。このように本実施例ではスイッチ用MOSFET P0～P3, N0～N3の切り換えをヒューズの切断またはボンディング・パッドへのボンディングどちらでもできる。従って、工程の都合にあわせて電源の切り換え時期を選択できる。

第18図は本発明の他の実施例である。同図で22, 23はV<sub>L</sub>測定用パッド、60, 61はV<sub>R</sub>測定用パッドであり、それ以外は第8図に示す実施例と同一である。本実施例ではチップ内電源電圧の測定後のチップ内電源電圧の設定はV<sub>L</sub>発生回路の帰還抵抗を変えることによって行なう。す

アクセス時間をチップ完成後に目標にあわせて調整でき、アクセス時間のチップ間のバラツキを低減することができる。

第16図は本発明の他の実施例である。同図で11はV<sub>L</sub>測定用パッド、60～67はV<sub>R</sub>測定用パッドであり、それ以外は第7図に示す実施例と同一である。本実施例はメモリセル・アレイと周辺回路で別のV<sub>L</sub>発生回路を用いる場合を示している。メモリアレイ用にV<sub>L0</sub>発生回路を、周辺回路用にV<sub>L1</sub>発生回路を設けている。従って、V<sub>L0</sub>、V<sub>L1</sub>は独立に決めることができる。したがって、メモリセルアレイと周辺回路の動作速度の整合を容易にとることができる。本実施例によっても、アクセス時間をチップ完成後に目標にあわせて調整できるのでアクセス時間のチップ間のバラツキを低減することができる。

第17図は本発明の他の実施例である。本実施例は基準電圧発生回路の選択をヒューズ、ボンディングパッドのどちらを用いてもできるようにしたものである。同図で、ヒューズF0～F3と抵

なわち帰還回路内のヒューズF00～F03(F10～F13)のいくつかを切断することにより帰還電圧を変えてV<sub>L0</sub>、V<sub>L1</sub>を制御する。従って本実施例によってもアクセス時間をチップ完成後に目標にあわせて調整できるのでアクセス時間のチップ間のバラツキを低減することができる。

第19図はV<sub>L</sub>発生回路の帰還回路にヒューズを用いた別の例である。本実施例でもチップ内電源電圧V<sub>L</sub>は帰還回路のヒューズを切断することによって設定する。第20図は本発明の他の実施例である。同図で11はV<sub>L</sub>測定用パッド、60～63はV<sub>R</sub>測定用パッドであり、それ以外は第10図に示す実施例と同一である。本実施例はチップ内電源電圧V<sub>L</sub>または基準電圧V<sub>R</sub>を測定する。V<sub>L</sub>の設定はいくつかある基準電圧発生回路を選択することにより行なう。この選択にはヒューズを用いる。本実施例では第10図と同じヒューズの切断回路を設けている。この回路の動作は第10図の回路と同じである。本実施例によれば、アクセス時間をチップ完成後に目標にあわせて調



整できるのでアクセス時間のチップ間のバラツキを低減することができる。

第21図及び第22図は本発明の他の実施例である。第21図で11は $V_L$ 測定用パッド、60は $V_R$ 測定用パッドであり、それ以外は第11図に示す実施例と同一である。本実施例では $V_L$ または $V_R$ を測定し回路15のヒューズF0～F3を選択的に切断することにより $V_L$ 発生回路の帰還電圧を変える。これによりチップ内電源電圧を制御する。なお、ヒューズの切断には第10図と同じ切断回路を設けている。本実施例によってもアクセス時間のチップ間のバラツキを低減できる。また、 $V_{REF}$ 発生回路は1個でよくチップ寸法を小さくできる。

第22図で11は $V_L$ 測定用パッド、60は $V_R$ 測定用パッドであり、それ以外は第12図に示す実施例と同一である。本実施例では $V_L$ または $V_R$ を測定し回路15のヒューズF0～F3を選択的に切断することにより基準電圧発生回路の帰還抵抗を変える。これにより、基準電圧を制御する。こ

れにより $V_L$ 発生回路の出力電圧が制御でき、アクセス時間のチップ間のバラツキを低減できる。また、 $V_{REF}$ 発生回路は1個でよくチップ寸法を小さくできる。

第23図は本発明の他の実施例である。本実施例はヒューズF0～F3を選択的に切断することにより $V_L$ 発生回路の帰還電圧を変える。これによりチップ内電源電圧を制御する。本実施例では第21図の回路15を用いないためチップ面積を低減できる。

以上説明した本発明の実施例においてはトランジスタはMOSトランジスタを用いたがこれはこれに限らずバイポーラ・トランジスタやバイポーラ・トランジスタとMOSトランジスタを組合せた、いわゆるBICMOS回路でも実現可能である。また、回路中の抵抗は多結晶SiやSi中の不純物拡散層によって実現できるが、またMOSトランジスタのようなアクティブ素子でも実現することができる。さらに $V_L$ 発生回路や $V_{REF}$ 発生回路も第5図(b)や(c)に示したものに限ら

ない。例えば $V_{REF}$ 発生回路としてはバンドギャップを利用したものなどであってもよい。

#### 【発明の効果】

以上のように、本発明によるとチップ毎に動作速度または電源電圧を測定してチップ内の電源電圧を変えるので、チップ間の動作速度のばらつきを低減することができる。したがって、システムを設計するときマージンを小さくでき、システムの高速化が図られる。

#### 4. 図面の簡単な説明

第1図～第4図は本発明の実施例の回路ブロック図、第5図は本発明の一実施例の回路図で、同図(a)は本発明をメモリに適用した実施例の回路図、同図(b)は基準電圧発生回路の回路図、同図(c)は電源電圧発生回路の回路図、第6図～第12図、第14図～第23図は本発明をメモリに適用した実施例の回路図、第13図は本発明の他の実施例の回路ブロック図およびチップの動作速度の制御方法の説明図である。

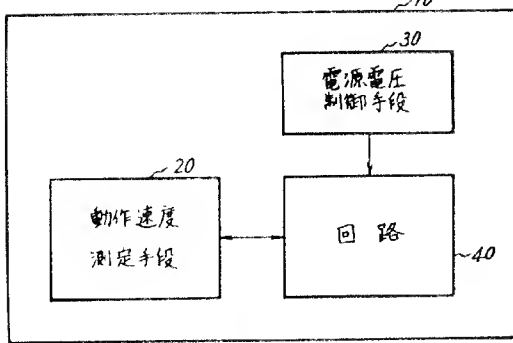
符号の説明

- 10…半導体チップ
- 20…動作速度測定手段
- 30…電源電圧制御手段
- 40…メモリあるいはロジック回路

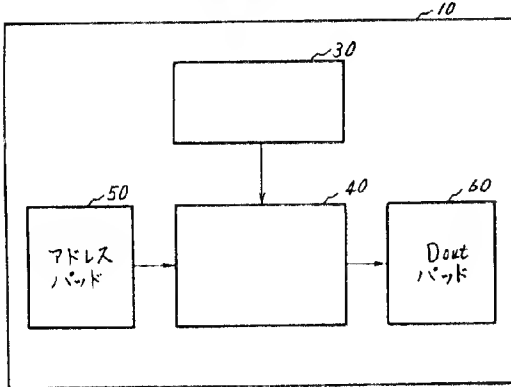
代理人 弁理士 小川 勝男



第 1 図



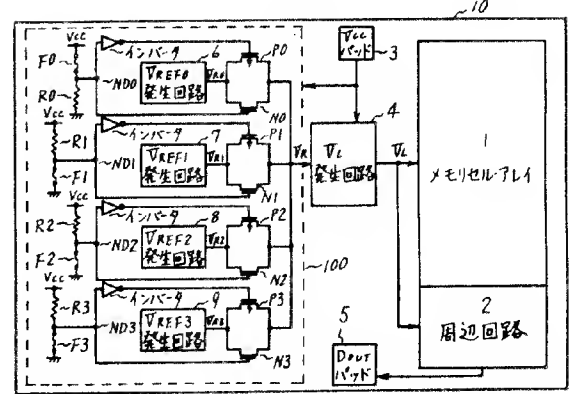
第 2 図



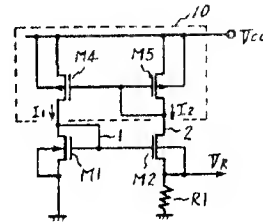
10 半導体チップ

第 5 図

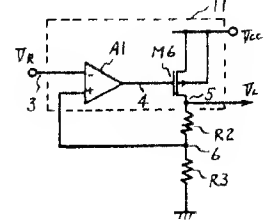
(a)



(b)



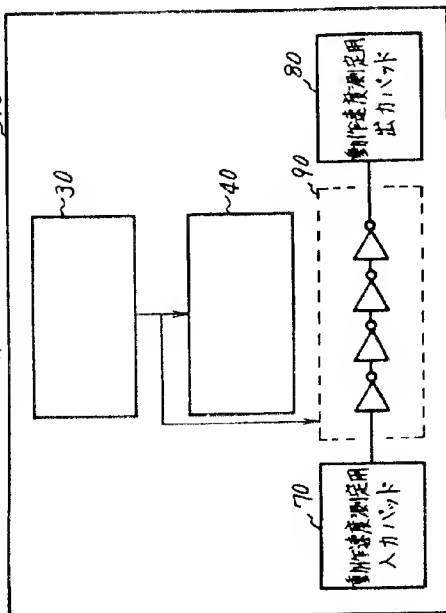
(c)



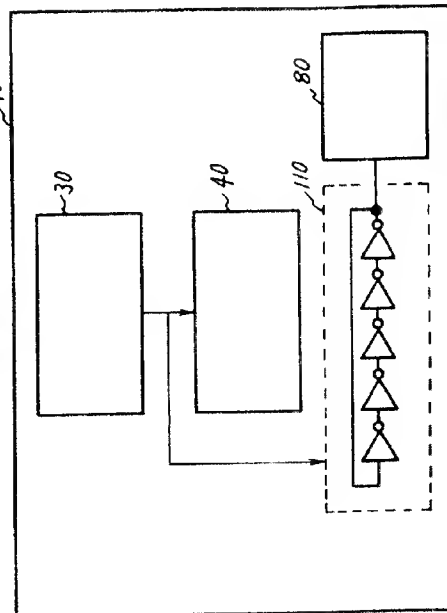
R0 抵抗  
F0 72-Ω  
F1 72-Ω  
F2 72-Ω  
F3 72-Ω  
R1 抵抗

R2 抵抗  
A1 差動増幅器

第 3 図



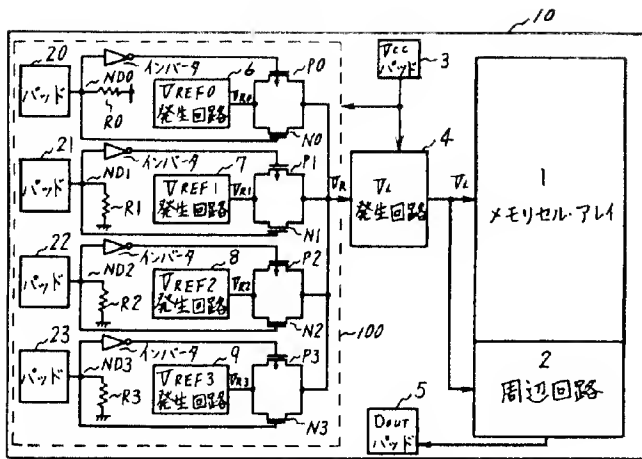
第 4 図



動作速度測定用入力バス  
動作速度測定用出力バス  
遅延回路  
発振回路

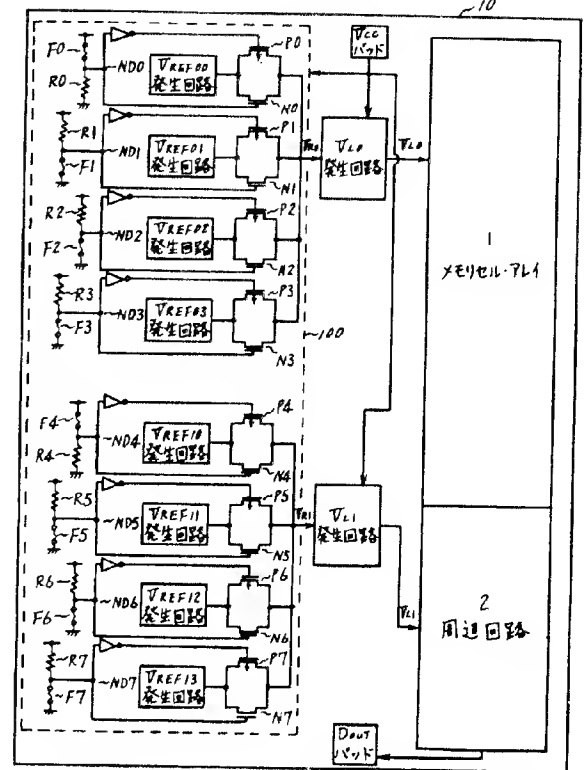
10 半導体チップ  
30 電源電圧制御手段  
40 回路  
70 動作速度測定用入力バス  
80 動作速度測定用出力バス  
90 遅延回路  
100 発振回路

第 6 図



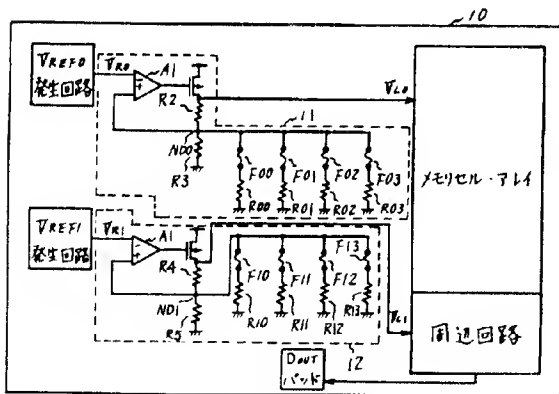
R0 抵抗  
R1 抵抗

第 7 図

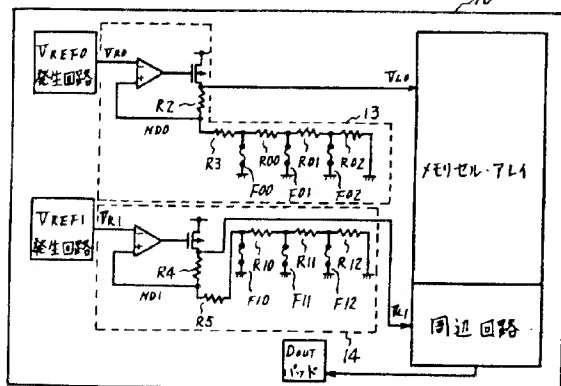


R0 抵抗  
F0 フューズ  
F1 フューズ  
F2 フューズ  
F3 フューズ  
F4 フューズ  
F5 フューズ  
F6 フューズ  
F7 フューズ

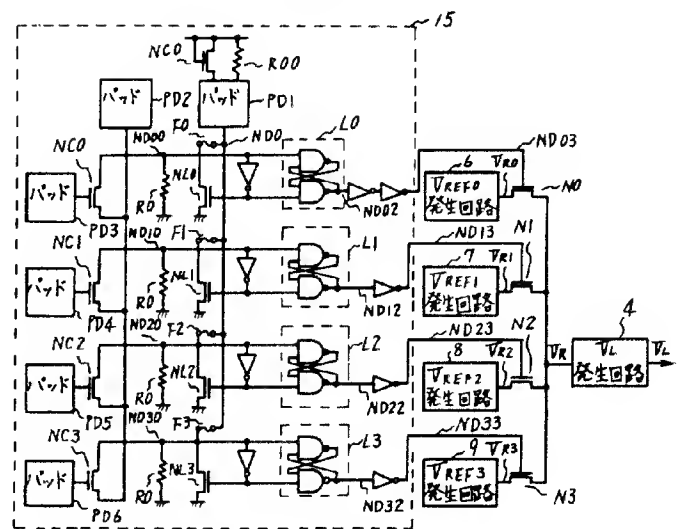
第 8 図



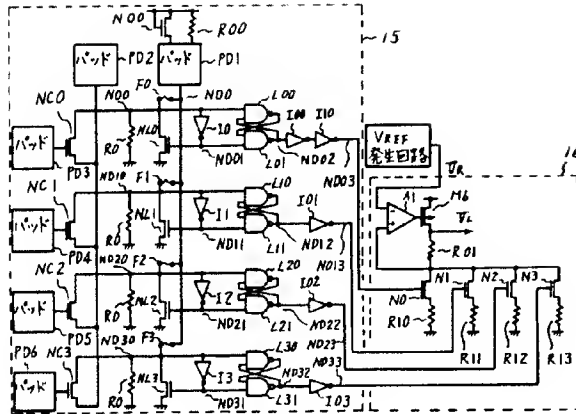
第 9 図



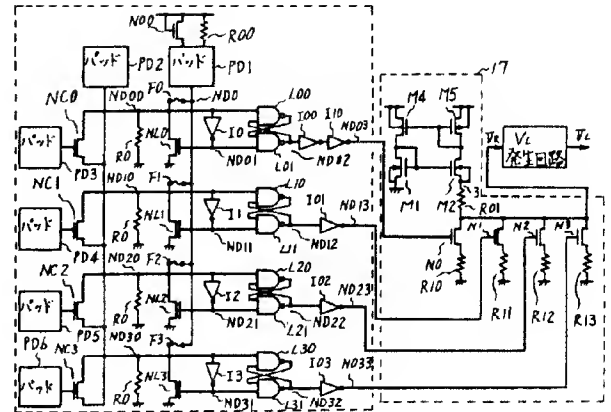
第 10 図



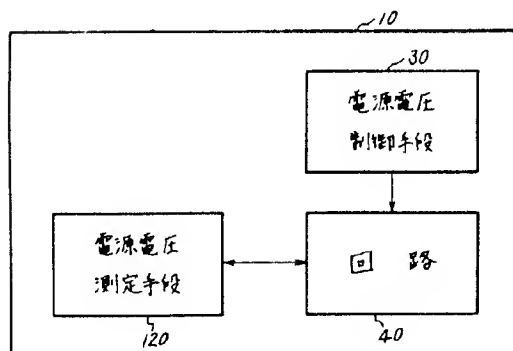
第 11 圖



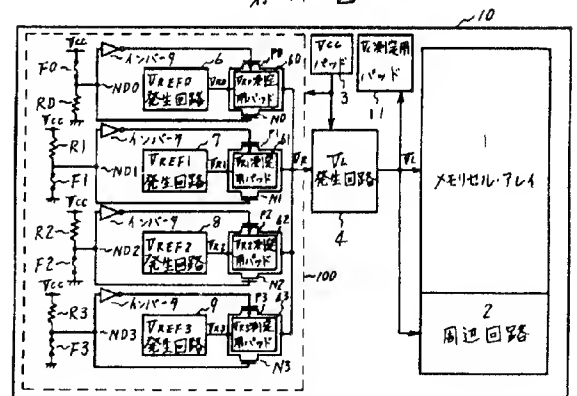
第 12 回



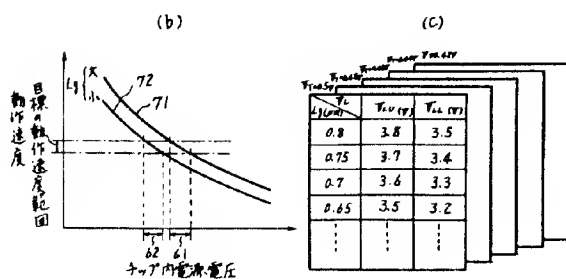
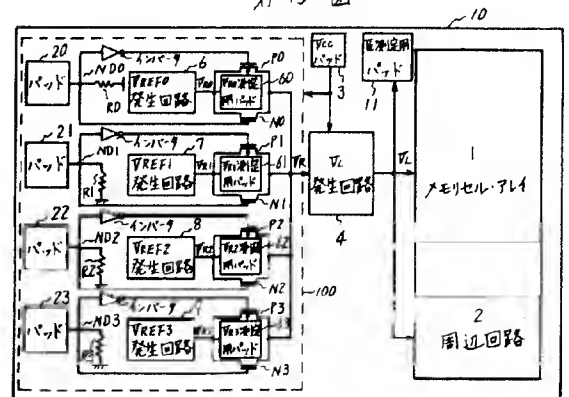
13 (a)



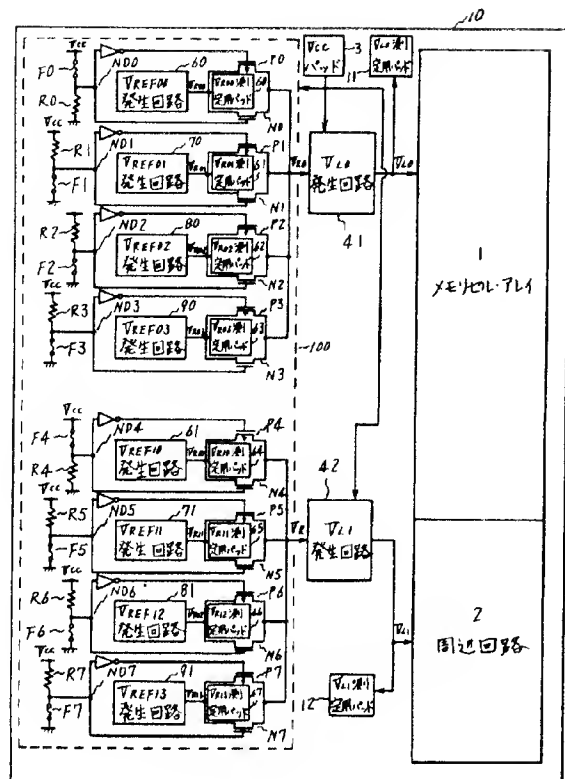
第 14 回



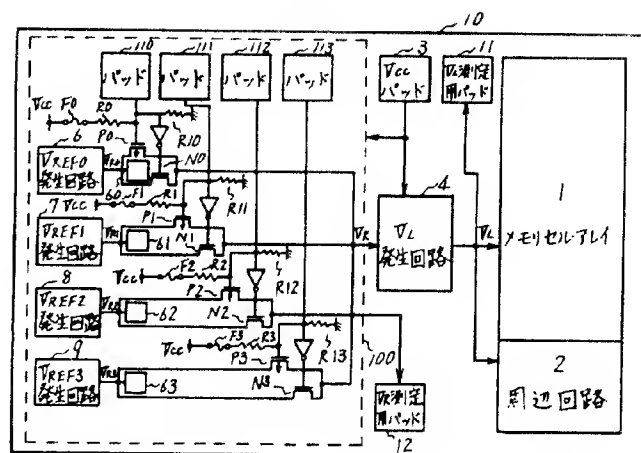
第 15 回



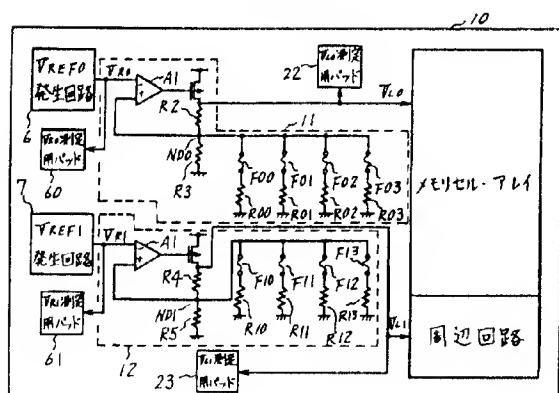
第 16 図



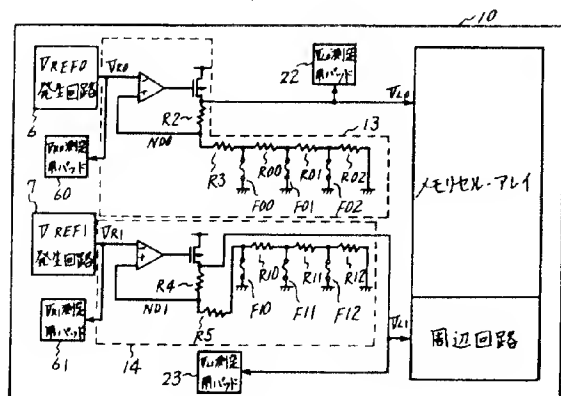
第 17 図



第 18 図



第 19 図



第 20 図

